

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-221705

(43)Date of publication of application : 21.08.1998

(51)Int. Cl.

G02F 1/1343

G02F 1/136

H01L 29/786

(21)Application number : 09-025306 (71)Applicant : HOSHIDEN
PHILIPS
DISPLAY KK

(22)Date of filing : 07.02.1997 (72)Inventor : UKAI
YASUHIRO
INADA
TOSHIYA

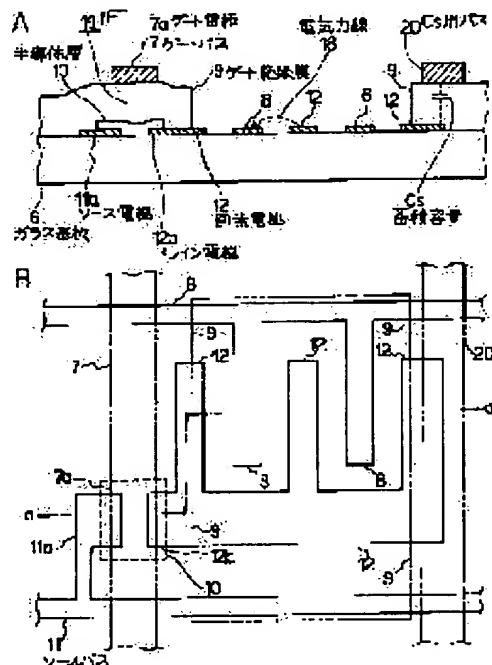
(54) LIQUID CRYSTAL DISPLAY ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent display unevenness due to deviation in a relative position between a pixel electrode and a common electrode and to prevent burning of a screen due to a change of an electric field due to stored charges on an insulation film.

SOLUTION: In an IPS(in-plane switching) mode/top gate type/TFT matrix type LCD, a source electrode 11a, a source bus 11, a drain electrode 12a, the pixel electrode 12 and the common electrode 8 are

formed as the same layer. A gate insulation film 9 is formed on a glass substrate 6a formed with various electrodes, etc., while excepting display area of respective pixels. A gate bus 7 and a storage capacity bus 20 are formed on the gate insulation film 9. The storage capacity bus 20 is



formed so as to be overlapped a part of the pixel electrode 12, and capacity Cs is formed between both. The adjacent gate bus may be used instead of the storage capacity bus.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) ; 1998, 2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-221705

(43) 公開日 平成10年(1998) 8月21日

(51) Int. Cl.⁶
G 0 2 F 1/1343
1/136
H 0 1 L 29/788

識別記号
5 0 0

F :
G 0 2 F 1/1343
1/136 5 0 0
H 0 1 L 29/78 6 1 2 C

審査請求 未請求 請求項の数 6 O L (全 9 頁)

(21) 出願番号 特願平9-25308

(22) 出願日 平成9年(1997) 2月7日

(71) 出願人 397015223

ホシデン・ソリックス・ディスプレイ株式会社
兵庫県神戸市西区高塚台4丁目3番1号

(72) 発明者 嶋崎 幸弘

兵庫県神戸市西区高塚台4-3-1 ホシデン株式会社開発技術研究所内

(72) 発明者 植田 和弥

兵庫県神戸市西区高塚台4-3-1 ホシデン株式会社開発技術研究所内

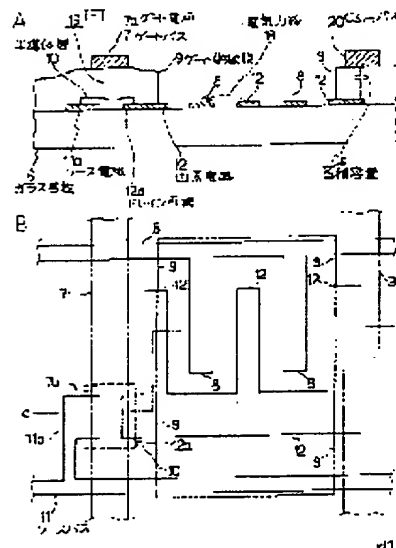
(74) 代理人 介理二 草野 卓 (外1名)

(54) 【発明の名称】 被品表示素子

要約

【課題】 画素電極と共通電極の相対位置のずれによる表示むらの防止と、絶縁膜の蓄積電荷による電界の変化による画面の焼付防止。

【解決手段】 IPS (インプレインスイッチング) モード・トップゲート型・TFTマトリクス型のLCDにおいて、ソース電極11a、ソースバス11、ドレイン電極12a、画素電極12及び共通電極8が同じ層として形成される。各種電極等の形成されたガラス基板6aにゲート絶縁膜9が各画素の表示領域を除いて形成される。ゲート絶縁膜9上にゲートバス7及び蓄積電容量用バス20が形成される。蓄積電容量用バス20は画素電極12の一部と重なるよう形成され、両者の間に容量Csが形成される。蓄積電容量用バスの代りに隣接のゲートバスを用いることもできる。



【特許請求の範囲】

【請求項1】 ガラス基板の内面にトップゲート型TFT（薄膜トランジスタ）、画素電極、共通電極の形成されたTFTアレイ基板と、対向基板とが液晶層を挟んで近接対向され、それら基板とほぼ平行な電界により液晶分子を動かして光の透過を制御するIPS（イン・プレイン・スイッチング）モード・トップゲート型・TFTマトリクス型の液晶表示素子において、前記TFTのソース電極及びドレイン電極と、それらソース電極及びドレイン電極にそれぞれ接続されたソースバス及び前記画素電極と、前記共通電極とが、前記ガラス基板の内面に同じ層として形成され、前記ソース電極とドレイン電極の間及びその近傍に半導体層が形成され、

前記各種の電極、バス及び半導体層の形成された前記ガラス基板の内面に、ゲート絶縁膜が、各画素の表示領域を除いて形成され、そのゲート絶縁膜上に、ゲートバスが前記半導体層と重なるように形成され、前記ゲート絶縁膜上に、蓄積容量用バスが前記画素電極の一部と重なるように形成されていることを特徴とする液晶表示素子。

【請求項2】 ガラス基板の内面にトップゲート型TFT、画素電極、共通電極の形成されたTFTアレイ基板と、対向基板とが液晶層を挟んで近接対向され、それら基板とほぼ平行な電界により液晶分子を動かして光の透過を制御するIPSモード・トップゲート型・TFTマトリクス型の液晶表示素子において、前記TFTのソース電極及びドレイン電極と、それらソース電極及びドレイン電極にそれぞれ接続されたソースバス及び前記画素電極と、前記共通電極とが、前記ガラス基板の内面の同じ層に形成され、前記ソース電極とドレイン電極の間及びその近傍に半導体層が形成され、前記各種の電極、バス及び半導体層の形成された前記ガラス基板の内面に、ゲート絶縁膜が、各画素の表示領域を除いて形成され、そのゲート絶縁膜上に、ゲートバスが前記半導体層及び隣接画素の画素電極の一部と重なるように形成され、隣接する一方の画素の画素電極と他方の画素のゲートバスとの間に前記ゲート絶縁膜を誘電体とする蓄積容量が形成されていることを特徴とする液晶表示素子。

【請求項3】 ガラス基板の内面にトップゲート型TFT、画素電極、共通電極の形成されたTFTアレイ基板と、対向基板とが液晶層を挟んで近接対向され、それら基板とほぼ平行な電界により液晶分子を動かして光の透過を制御するIPSモード・トップゲート型・TFTマトリクス型の液晶表示素子において、前記TFTのソース電極及びドレイン電極と、そのソース電極に接続されたソースバスとが前記ガラス基板の内

面に同じ層として形成され、それらソース電極とドレイン電極との間及びその近傍に半導体層が形成され、それら各種電極、バス及び半導体層の形成された前記ガラス基板の内面にゲート絶縁膜が一面に形成され、そのゲート絶縁膜上に、ゲートバスと、前記画素電極及び共通電極とが同じ層として形成され、前記画素電極は、前記ゲート絶縁膜に形成されたコンタクトホールを通じて前記ドレイン電極に接続され、前記共通電極は、前記ドレイン電極の一部と重なるように形成され、それら両電極の間に、前記ゲート絶縁膜を誘電体とする蓄積容量が形成されていることを特徴とする液晶表示素子。

【請求項4】 ガラス基板の内面にボトムゲート型TFT、画素電極、共通電極の形成されたTFTアレイ基板と、対向基板とが液晶層を挟んで近接対向され、それら基板とほぼ平行な電界により液晶分子を動かして光の透過を制御するIPSモード・ボトムゲート型・TFTマトリクス型の液晶表示素子において、前記TFTのゲートバスと、蓄積容量用バスとが、前記ガラス基板の内面に同じ層として形成され、それらゲートバス及び蓄積容量用バスの形成された前記ガラス基板の内面に、ゲート絶縁膜が一面に形成され、そのゲート絶縁膜上に、前記TFTの半導体層または半導体層とその上のチャネル保護膜とが前記ゲートバスと重なるように形成され、その半導体層または半導体層とチャネル保護膜の形成されたゲート絶縁膜上に、前記TFTのソース電極及びドレイン電極と、それらソース電極及びドレイン電極にそれぞれ接続されたソースバス及び前記画素電極と、前記共通電極とが同じ層として形成され、前記画素電極の一部が前記蓄積容量用バスと重なるように形成されていることを特徴とする液晶表示素子。

【請求項5】 ガラス基板の内面にボトムゲート型TFT、画素電極、共通電極の形成されたTFTアレイ基板と、対向基板とが液晶層を挟んで近接対向され、それら基板とほぼ平行な電界により液晶分子を動かして光の透過を制御するIPSモード・ボトムゲート型・TFTマトリクス型の液晶表示素子において、前記TFTのゲートバスが前記ガラス基板の内面に形成され、そのゲートバスの形成された前記ガラス基板の内面にゲート絶縁膜が一面に形成され、そのゲート絶縁膜上に、前記TFTの半導体層または半導体層とその上のチャネル保護膜とが前記ゲートバスと重なるように形成され、その半導体層または半導体層とチャネル保護膜の形成されたゲート絶縁膜上に、前記TFTのソース電極及びドレイン電極と、それらソース電極及びドレイン電極にそれぞれ接続されたソースバス及び画素電極と、前記共通

電極とが同じ層として形成され、前記画素電極の一部が隣接画素のゲートバスと重なるように形成され、両者の間にゲート絶縁膜を誘電体とする蓄積容量が形成されていることを特徴とする液晶表示素子。

【請求項6】 ガラス基板の内面にボトムゲート型TFT、画素電極、共通電極の形成されたTFTアレイ基板と、対向基板とが液晶層を挟んで近接対向され、それら基板とほぼ平行な電界により液晶分子を動かして光の透過を制御するIPSモード・ボトムゲート型・TFTマトリクス型の液晶表示素子において、

前記TFTのゲートバスと、前記画素電極及び共通電極とが、前記ガラス基板の内面に同じ層として形成され、それら各種電極バスの形成されたガラス基板の内面にゲート絶縁膜が、各画素の表示領域を除いて形成され、そのゲート絶縁膜上に、前記TFTの半導体層または半導体層とその上のチャネル保護膜とが形成され、その半導体層または半導体層とチャネル保護膜の形成されたゲート絶縁膜上に、前記TFTのソース電極及びドレイン電極と、そのソース電極に接続されたソースバスとが同じ層として形成され、前記ドレイン電極は、前記ゲート絶縁膜に形成されたコンタクトホールを通じて前記画素電極に接続され、前記ドレイン電極の一部が前記共通電極と重なるように形成され、それら両電極の間に前記ゲート絶縁膜を誘電体とする蓄積容量が形成されていることを特徴とする液晶表示素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 横電界モード（IPS；インプレーン・スイッチングモード、とも言う）のTFT（薄膜トランジスタ）マトリクス型の液晶表示素子に関し、特に画素電極と共通電極との相対的位置ずれの防止と、ゲート絶縁膜中に電荷が蓄積されることによる画面の焼付の防止に関する。

【0002】

【従来の技術】 従来のTFTマトリクス型の液晶表示素子（LCDと言う）は、ガラス基板の内面に画素電極及びスイッチング素子としてのTFTの形成されたTFTアレイ基板と、ガラス基板の内面にほぼ一面に共通電極の形成された対向基板とを近接対向させ、それらの間にTN（ツイスト・ネマチック）形液晶などを封入して、画素電極と共通電極との間に信号電圧を印加し、これにより液晶に基板とほぼ直角な電界を印加して液晶分子を動かし、光の透過を制御するのが最も一般的であった。

【0003】 これに対して、図7に示すようにTFTアレイ基板1に画素電極12と共通電極8を噛み合うように配置し、対向基板2には電極を形成しないで、両基板間に液晶3を封入して、電極12と8の間に信号電圧を印加し、基板にほぼ平行な電界により液晶分子を動か

し、光の透過を制御するIPS（in-plane-switching）モードが、視角特性に優れていることから最近注目されている。

【0004】 図7に示す従来例では、ガラス基板6の内面に第1層として金属より成るゲートバス7と、共通電極8とが形成され、それらの上及び間に第2層としてゲート絶縁膜9がほぼ一面に形成される。なおゲートバス7、共通電極8はガラス基板6の周辺に延長され、外部接続用端子（図示せず）が形成されるが、それら端子上のゲート絶縁膜9はエッチングにより除去される。ゲート絶縁膜9上にTFTの半導体層（ $a-Si$ ）10が形成された後、第3層としてソース電極11a、ソースバス11、ドレイン電極12a、画素電極12が形成される。画素電極12は共通電極8の一部と重なるように形成され、両者の間にゲート絶縁膜を誘電体とする蓄積容量が形成される。それらソースバス11、画素電極12等の形成されたガラス基板6の内面に第4層として絶縁膜13が一面に形成される。

【0005】 対向基板2では、ガラス基板14の内面にブラックマトリクス15とカラーフィルタ16が形成され、それらの上に一面に絶縁膜17が形成される。なお図7では、ゲート電極7a、ゲートバス7がソース電極11a、ドレイン電極12a、半導体層10の下側に配されているので、ボトムゲート型のTFTまたはLCDと呼ばれる。更に図7AのTFT19はチャネルエッチ型で、図10Aに示すように半導体層10の幅がソース電極11a、ドレイン電極12aの縁まで広がっている場合もある。チャネルエッチ型の名はソース電極11aとドレイン電極12aの間の半導体層10の導電性をもつ表面層（ $n+a-Si$ より成るオーミックコンタクト層）をエッチングして除去することから来ている。ボトムゲート型にはこの他に図10Bに示すチャネル保護膜型があり、広く用いられている。この場合は、半導体層10の表面層の上に SiO_2 、 SiN_x などのチャネル保護膜24が形成される。

【0006】

【発明が解決しようとする課題】 図7の従来例では、第1層に共通電極8が、第3層に画素電極12がそれぞれ形成されている。即ち電極8と12は別々の層で形成されている。電極8及び12それぞれの製造工程で使用するマスクパターン間で相対的な位置ずれが無ければ、図8Aに示すように両電極間の距離 a 、 b は相等しいようにされている（ $a=b$ ）。しかしながら、実際にはマスクパターン間の位置ずれが存在し、例えば画素電極12が図において右側にずれるか、或いは共通電極8が左側にずれて形成されると、上記電極間の距離が a' 、 b' に変化し、 $a' < a$ 、 $b' > b$ となる。そうすると、 a 、 b に対応する領域で両電極間に印加される電界強度 $Ea = Eb$ は、 $Ea' > Eb'$ となり、この液晶パネルの輝度対印加電圧特性は、 a' または b' 区間では、そ

れぞれ理想的な特性 ($a=b$) を図において左側または右側にシフトしたようなまたはの特性となり、LCDの光学特性が変化する。そのため画面全体に表示むらが発生する。

【0007】また、図7の従来例では画素領域のゲート絶縁膜9及び絶縁膜13中及び各膜との界面の蓄積電荷によって液晶側の電気力線18(電界に対応する)が影響を受け、そのため画面の焼付け現象が発生する問題がある。また、絶縁膜中に蓄積電荷がない場合でも画素電極12と共通電極8との間の電界が絶縁膜により分極される。つまり、液晶層をスイッチングさせるために、高い駆動電圧が必要となり、消費電力の増加になる。

【0008】この発明は、画素電極12と共通電極8との相対的な位置ずれのために生ずる表示むらと、絶縁膜中の蓄積電荷による画面の焼付けを防止することを目的としている。

【0009】

【課題を解決するための手段】

(1) 請求項1の発明は、ガラス基板の内部にトップゲート型TFT(薄膜トランジスタ)、画素電極、共通電極の形成されたTFTアレイ基板と、対向基板とが液晶層を挟んで近接対向され、それら基板とはほぼ平行な電界により液晶分子を動かして光の透過を制御するIPS(イン・プレーン・スイッチング)モード・トップゲート型・TFTマトリクス型の液晶表示素子に関する。請求項1では、TFTのソース電極及びドレイン電極と、それらソース電極及びドレイン電極にそれぞれ接続されたソースバス及び画素電極と、共通電極とが、ガラス基板の内部に同じ層として形成される。ソース電極とドレイン電極の間及びその近傍に半導体層が形成され、各種の電極、バス及び半導体層の形成されたガラス基板の内部に、ゲート絶縁膜が、各画素の表示領域を除いて形成され、そのゲート絶縁膜上に、ゲートバスが半導体層と重なるように形成される。ゲート絶縁膜上に、蓄積電量用バスが画素電極の一部と重なるように形成される。

(2) 請求項2の発明は、前記(1)における蓄積電量用バスの代りに、隣接画素のゲートバスを利用したものであり、画素電極と隣接のゲートバスとの間にゲート絶縁膜を誘電体とする蓄積電量が形成される。

(3) 請求項3の発明もIPSモード・トップゲート型・TFTマトリクス型の液晶表示素子に関する。請求項3では、TFTのソース電極及びドレイン電極と、そのソース電極に接続されたソースバスとがガラス基板の内部に同じ層として形成され、それらソース電極とドレイン電極との間及びその近傍に半導体層が形成され、それら各種電極、バス及び半導体層の形成されたガラス基板の内部にゲート絶縁膜が一面に形成される。そのゲート絶縁膜上に、ゲートバスと、画素電極及び共通電極とが同じ層として形成され、画素電極は、ゲート絶縁膜に形成されたコンタクトホールを通じてドレイン電極に接続

される。共通電極は、ドレイン電極の一部と重なるように形成され、それら両電極の間に、ゲート絶縁膜を誘電体とする蓄積電量が形成される。

(4) 請求項4の発明は、IPSモード・ボトムゲート型・TFTマトリクス型の液晶表示素子に関する。請求項4では、TFTのゲートバスと、蓄積電量用バスとが、ガラス基板の内部に同じ層として形成され、それらゲートバス及び蓄積電量用バスの形成されたガラス基板の内部に、ゲート絶縁膜が一面に形成される。そのゲート絶縁膜上に、TFTの半導体層または半導体層とその上のチャネル保護膜とがゲートバスと重なるように形成され、その半導体層または半導体層とチャネル保護膜の形成されたゲート絶縁膜上に、TFTのソース電極及びドレイン電極と、それらソース電極及びドレイン電極にそれぞれ接続されたソースバス及び画素電極と、共通電極とが同じ層として形成される。画素電極の一部が蓄積電量用バスと重なるように形成される。

(5) 請求項5の発明は、前記(1)における蓄積電量用バスの代りに、隣接画素のゲートバスを使用したものであり、画素電極と隣接ゲートバスとの間にゲート絶縁膜を誘電体とする蓄積電量が形成される。

(6) 請求項6の発明も、IPSモード・ボトムゲート型・TFTマトリクス型の液晶表示素子に関する。請求項6では、TFTのゲートバスと、画素電極及び共通電極とが、ガラス基板の内部に同じ層として形成される。それら各種電極、バスの形成されたガラス基板の内部にゲート絶縁膜が、各画素の表示領域を除いて形成され、そのゲート絶縁膜上に、TFTの半導体層または半導体層とその上のチャネル保護膜とが形成され、その半導体層または半導体層とチャネル保護膜の形成されたゲート絶縁膜上に、TFTのソース電極及びドレイン電極と、そのソース電極に接続されたソースバスとが同じ層として形成される。ドレイン電極は、ゲート絶縁膜に形成されたコンタクトホールを通じて画素電極に接続される。ドレイン電極の一部が共通電極と重なるよう形成され、それら両電極の間にゲート絶縁膜を誘電体とする蓄積電量が形成される。

【0010】

【発明の実施の形態】

(実施例1) 請求項1の発明の実施例を図1に、図7と対応する部分に同じ符号を付けて示す。図1ではトップゲート型のTFT19のソース電極11a及びドレイン電極12aと、それらソース電極11a及びドレイン電極12aにそれぞれ接続されたソースバス11及び画素電極12と、共通電極8とが、ガラス基板6の内部に同じ層として(この例では第1層として)形成される。ソース電極11aとドレイン電極12aの間及びその近傍にa-Siなどの半導体層10が形成される。前記各種の電極、バス及び半導体層10の形成されたガラス基板6の内部に、ゲート絶縁膜9が、各画素の表示領域を除

いて形成される。

【0011】ゲート絶縁膜9上に、ゲートバス7が半導体層10と重なるように形成される。また、ゲート絶縁膜9上に、蓄積容量用バス20が画素電極12の一部と重なるように形成され、両者の間にゲート絶縁膜9を誘電体とする蓄積容量Csが形成される。ソースバス11、共通電極8よりガラス基板6の周辺に延長された端末部に外部接続用の端子が形成され、その端子上的ゲート絶縁膜9をエッチングにより除去する必要があるが、その時同時に、各画素の表示領域のゲート絶縁膜9も除去される。従って、工程数は増加しない。

【0012】請求項1の発明では、画素電極12と共通電極8とを同じ層に形成するので同じ工程で同一のマスクパターンを使用して同時に形成できる。従って、両電極間の相対的な位置ずれは生じない。従って、従来例で述べたような表示むらが発生しない。また各画素の表示領域ではゲート絶縁膜9は除去されているので、画素電極12と共通電極8との間の電界に対応する電気力線18が従来例のようにゲート絶縁膜9等の蓄積電荷によるDC成分が液晶層に印加されるのを抑制できるため、画面の焼付き現象は起きない。

（実施例2）実施例1の蓄積容量バス20を設けないで、図2に示すように隣接する一方の画素の画素電極12と他方の画素のゲートバス7とを一部重なるように配置し、両者の間にゲート絶縁膜9を誘電体とする蓄積容量Csを形成したのが請求項2の発明であり、実施例1と同じ効果が得られる。

（実施例3）請求項3の発明では、図3に示すようにトップゲート型TFTのソース電極11a及びドレイン電極12aと、そのソース電極12aに接続されたソースバス11とがガラス基板6の内面に同じ層として形成される。ソース電極11aとドレイン電極12aとの間及びその近傍にa-Siなどの半導体層10が形成される。それら各種電極、バス及び半導体層の形成されたガラス基板6の内面にゲート絶縁膜9が一面に形成される。ゲート絶縁膜9上に、ゲートバス7及びゲート電極7aと、画素電極12及び共通電極8とが同じ層として形成される。

【0013】画素電極12はゲート絶縁膜9に形成されたコンタクトホール22を通じてドレイン電極12aに接続される。共通電極8はドレイン電極12aの一部と重なるように形成され、両電極間にゲート絶縁膜9を誘電体とする蓄積容量Csが形成される。図3において、画素電極12と共通電極8とは同じ層に形成されるので相対位置のずれはない。また、画素電極12と共通電極8との間及び上方にはゲート絶縁膜9はないので、両電極の間の液晶側の電気力線18（電界に対応する）は、従来例のように絶縁膜13やゲート絶縁膜9中の蓄積電荷による影響を受けることはない。従って図3の場合も、従来例のような画面の焼付きは起らない。

（実施例4）請求項4の発明は、図4に示すようにIPSモード・ボトムゲート型・TFTマトリクス型の液晶表示素子に関する。図4では、TFT19のゲートバス7と、蓄積容量用バス20が、ガラス基板6の内面に同じ層として形成される。ゲートバス7及び蓄積容量用バス20の形成されたガラス基板6の内面に、ゲート絶縁膜9が一面に形成される。ゲート絶縁膜9上に、TFTの半導体層10がゲートバス7と重なるように形成され、その半導体層10の形成されたゲート絶縁膜9上に、TFTのソース電極11a及びドレイン電極12aと、それらソース電極11a及びドレイン電極12aにそれぞれ接続されたソースバス11及び画素電極12と、共通電極8とが同じ層として形成される。

【0014】また、画素電極12の一部が蓄積容量用バス20と重なるように形成され、両者の間にゲート絶縁膜9を誘電体とする蓄積容量Csが形成される。図4の場合もこれまでの例と同様の効果が得られる。図4ではTFT19としてチャネルエッチ型を示したが、チャネル保護型（図10B）を用いてもよい。

（実施例5）請求項5の発明は、図5に示すように図4の蓄積容量（Cs）用バス20の代りに隣接のゲートバス7を用いた場合であり、同じ効果が得られる。なお、図5のTFT19をチャネル保護型（図10B）に代えてもよい。

（実施例6）請求項6の発明も、図6に示すように、IPSモード・ボトムゲート型・TFTマトリクス型の液晶表示素子に関する。図6では、TFT19のゲートバス7と、画素電極12及び共通電極8とが、ガラス基板6の内面に同じ層として形成される。それら各種電極、バスの形成されたガラス基板6の内面に、ゲート絶縁膜9が、各画素の表示領域を除いて形成される。

【0015】ゲート絶縁膜9上に、TFTの半導体層10が形成され、半導体層10の形成されたゲート絶縁膜9上に、TFTのソース電極11a及びドレイン電極12aと、そのソース電極11aに接続されたソースバス11とが、同じ層として形成される。ドレイン電極12aは、ゲート絶縁膜9に形成されたコンタクトホール22を通じて画素電極12に接続される。ドレイン電極12aの一部が共通電極8と重なるよう形成され、それら両電極の間にゲート絶縁膜9を誘電体とする蓄積容量Csが形成される。図6の場合も図1～図5の場合と同じ効果が得られることは明らかである。また、図6のTFT19をチャネル保護型（図10B）に代えてもよい。

（その他）これまでの説明では、IPSモード・TFTマトリクス型LCDの場合を述べたが、この発明はTFTを用いない従来の単純マトリクス型（XYマトリクス型）のようなパッシブ型のIPSモード・LCDにも応用できる。その場合、ソースバス11に相当するバスを例えば信号電極とし、共通電極8に相当するバスを走査電極とすればよい。

【0016】

【発明の効果】

この発明では、画素電極12と共通電極8は同じ層として形成されるので、同一工程で、同じマスクを用いて同時に作製できる。よって、両者の間の相対的な位置ずれは生じないので、従来のような位置ずれによる表示むらは生じない。

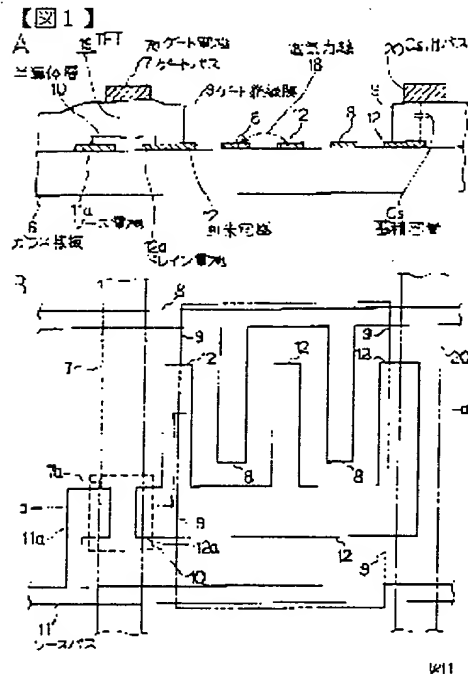
各画素の表示領域において、画素電極12及び共通電極8の上方（液晶側）にはゲート絶縁膜9などの絶縁膜は存在しないので、従来のように絶縁膜内の蓄積電荷により、液晶側の電気力線18が影響を受けることがなく、よって画面の焼付現象は起らない。

この発明は、従来技術に比べて製造工程数を増やすことなく行える。

この発明はTFTを用いないパッシブ型のIPSモードLCDにも応用できる。

【図面の簡単な説明】

【図1】請求項1の実施例を示す図で、AはBのa-a'断面図、Bは平面図。



【図2】請求項2の実施例を示す図で、AはBのa-a'断面図、Bは平面図。

【図3】請求項3の実施例を示す図で、AはBのa-a'断面図、Bは平面図。

【図4】請求項4の実施例を示す図で、AはBのa-a'断面図、Bは平面図。

【図5】請求項5の実施例を示す図で、AはBのa-a'断面図、Bは平面図。

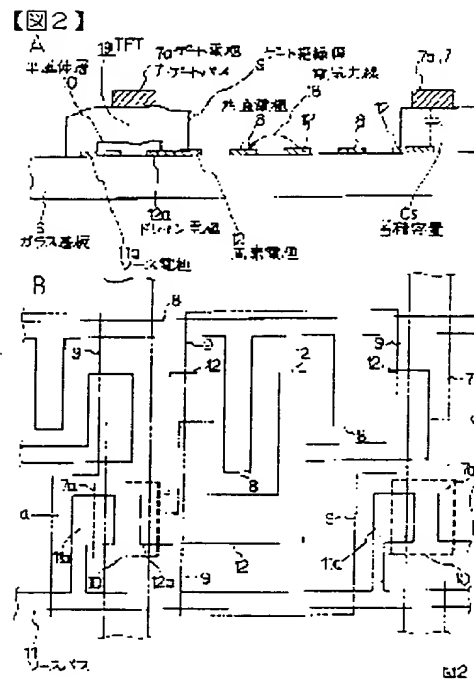
【図6】請求項6の実施例を示す図で、AはBのa-a'断面図、Bは平面図。

【図7】従来のIPSモード・ボトムゲート型・TFTマトリクスLCDを示す図で、AはBのa-a'断面図、Bは平面図。

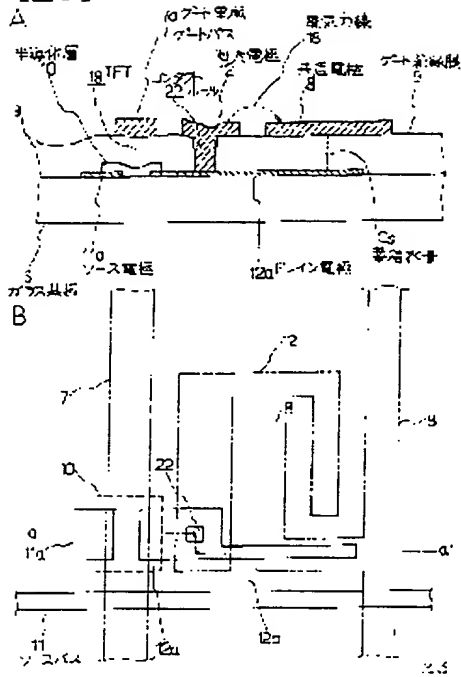
【図8】図7の画素電極12と共通電極8との相対位置を示す原理的な平面図。

【図9】図8の各表示領域におけるパネルの輝度対印加電圧特性を示す図。

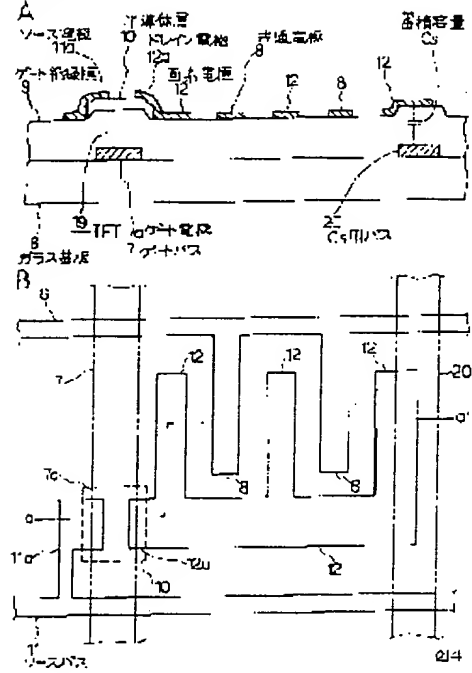
【図10】ボトムゲート型TFTの断面図で、Aはチャネルエッチ型、Bはチャネル保護膜型を示す。



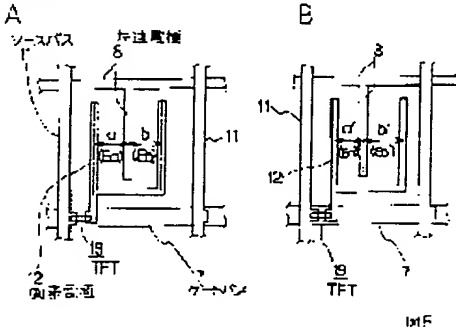
【図3】



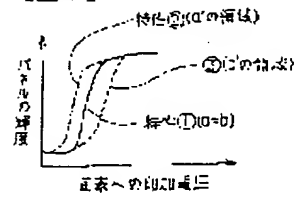
【図4】



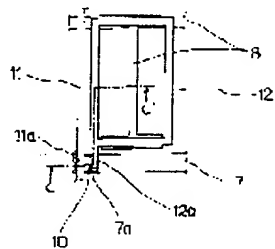
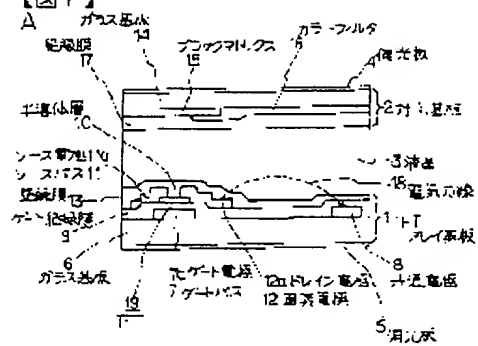
【図8】



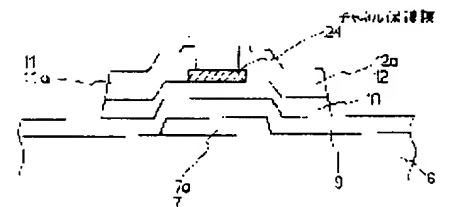
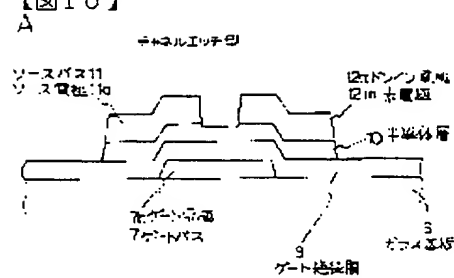
【図9】



【图7】



【図 10】



107